

Family list**2** family member for: **JP8064788**

Derived from 1 application

**1 NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA
WRITING METHOD****Inventor:** ARITOME SEIICHI; HEMINKU
GERUTOYAN; (+3)**Applicant:** TOKYO SHIBAURA ELECTRIC CO**EC:****IPC:** *G11C17/00; G11C16/02; G11C16/04* (+19)**Publication info:** **JP3383429B2 B2** - 2003-03-04**JP8064788 A** - 1996-03-08Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64788

(43) 公開日 平成8年(1996)3月8日

(51) Int. Cl.^a
H01L 27/115
G11C 16/02
16/04

識別記号

F I

H01L 27/10 434
G11C 17/00 307 D

審査請求 未請求 請求項の数 6 O L (全12頁) 最終頁に続く

(21) 出願番号 特願平6-195828
(22) 出願日 平成6年(1994)8月19日

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 有留 誠一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72) 発明者 ヘミンク・ゲルトヤン
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72) 発明者 遠藤 哲郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(74) 代理人 弁理士 鈴江 武彦

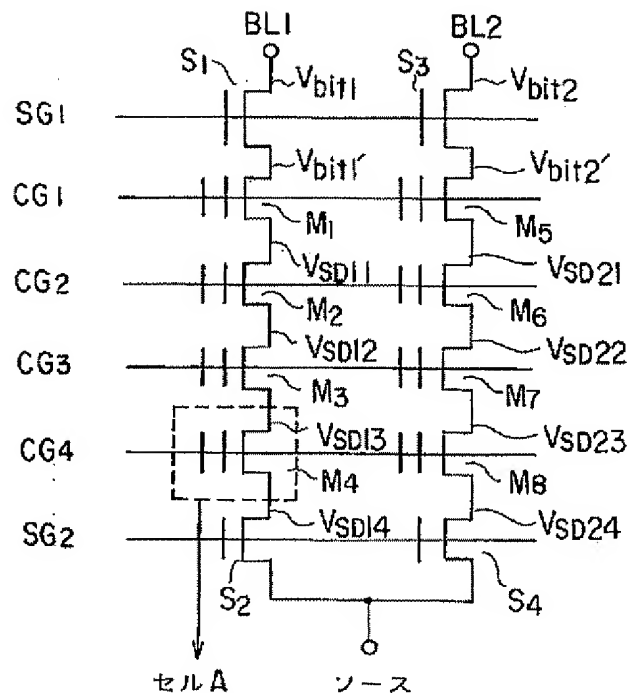
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびデータ書き込み方法

(57) 【要約】

【目的】 誤書き込み等が生じないNANDセル型EEPROMのデータ書き込みを提供する。

【構成】 データ書き込み時に、書き込みセルM4 と同一の制御ゲートCG4 につながる非書き込みセルM8 のソース、ドレイン拡散層がビット線BL2 の電位と電気的に接続されないように、ビット線電圧Vbit2、選択ゲートSG1 の電圧を設定し、制御ゲートCG1 ~ CG3 には、非選択セルのソース・ドレイン電圧VSD21 ~ VSD24 が、メモリセルM5 ~ M7 が誤消去されず、M8 が誤書き込みされない電圧となるような制御ゲート電圧を与えることを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な複数個のメモリセルを、隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続し、かつこの直列接続部のドレイン側、ソース側に選択ゲートを有するセレクトトランジスタを設けて NAND セルを構成し、この NAND セルをマトリックス配置し、ビット線、ワード線を配設してなるセルアレイを備えた不揮発性半導体記憶装置のデータ書き込み方法において、

書き込みすべきメモリセルと同一の制御ゲートにつながった書き込みすべきでないメモリセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定し、

書き込みすべきでないメモリセルのソース、ドレイン拡散層の電位 V_{SD} と、書き込みすべきでないメモリセルが書き込まれない最大の拡散層電位 V_{SDmax} と、書き込みすべきでないメモリセルのソース、ドレイン拡散層を共有しているメモリセルが、誤消去をおこす最小の拡散層電位 V_{SDmin} との関係、

$$V_{SDmax} < V_{SD} < V_{SDmin}$$

に設定して書き込みを行うことを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項 2】 前記書き込みが 10 msec 以内で行われることを特徴とする請求項 1 記載のデータ書き込み方法

【請求項 3】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な複数個のメモリセルを、隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続し、かつこの直列接続部のドレイン側、ソース側に選択ゲートを有するセレクトトランジスタを設けて NAND セルを構成し、この NAND セルをマトリックス配置し、ビット線、ワード線を配設してなるセルアレイを備えた不揮発性半導体記憶装置のデータ書き込み方法において、

書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定し、

書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層を共有する形で接続している隣接セルのしきい値を V_{thcell} としたとき、前記隣接セルのソース、ドレインが同電位になるよう制御ゲートに、前記しきい値 V_{thcell} よりも大なる電圧 V_M を

印加して書き込みを行うことを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項 4】 前記書き込みが 10 msec 以内で行われることを特徴とする請求項 3 記載のデータ書き込み方法。

【請求項 5】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な複数個のメモリセルを、隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続し、かつこの直列接続部のドレイン側、ソース側に選択ゲートを有するセレクトトランジスタを設けて NAND セルを構成し、この NAND セルをマトリックス配置し、ビット線、ワード線を配設してなるセルアレイを備えた不揮発性半導体記憶装置において、

データの書き込み時に、書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定したとき、

書き込みセルと同一の制御ゲートにつながった非書き込みセルの書き込み時のソース、ドレイン電圧を一定値以下に制御する制御手段を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 6】 前記制御手段が、ソース、ドレイン拡散層とそれが形成された基板との間のブレイクダウン電圧で構成されることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電荷蓄積層と制御ゲートが積層形成された構造を有する電氣的書替え可能なメモリセルを用いた NAND セル型の不揮発性半導体記憶装置 (EEPROM) とそのデータ書き込み方法に関する。

【0002】

【従来の技術】 従来より、EEPROM の中で高集積化可能なものとして、メモリセルを複数個直列接続した NAND セル型の EEPROM が知られている。この装置では、一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層された構造を有し、複数個のメモリセルが隣接するもの同士でソース、ドレインを共用する形で直列接続されて NAND セルを構成している。そして、このような NAND セルがマトリクス配列されてメモリセルアレイが構成される。

【0003】 セルアレイの列方向に並ぶ NAND セルの一端側のドレインは、それぞれ選択ゲートを有するセレクトトランジスタを介してビット線に共通接続され、他端側のソースはやはり選択ゲートを有するセレクトトラ

10

20

30

40

50

ンジスタを介して共通ソース線に接続されている。メモリセルの制御ゲート及び選択ゲートは、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0004】このNANDセル型EEPROMの従来の動作方法の一例（従来例1）は次の通りである。データの書込みは、ビット線から遠い方のメモリセルから順に行われる。nチャネルの場合を例に説明すれば、書込みすべきメモリセル（書込みセル）の制御ゲートには高電位 V_{pp} （例えば20V）が印加され、これよりビット線側にある書込みすべきでない（非書込みセル）の制御ゲート及び選択ゲートには中間電位VMG（例えば10V）が印加される。ビット線には、データに応じて0V、又は中間電位VMbil（例えば10V）が印加される。

【0005】このとき、ビット線の電位は、セレクトトランジスタ及び非書込みセルを通して書込みセルのドレインまで伝達される。なお、書込みを行わないビット線には中間電位VMbilが印加される。書込むべきデータがあるとき（“1”データするとき）は、書込みセルのゲート・ドレイン間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入される。これによって、書込みセルのしきい値は正方向に移動する。書込むべきデータがないとき（“0”データするとき）は、しきい値変化はない。

【0006】データ消去は、p型基板（ウェル構造の場合はn型基板及びこれに形成されたp型ウェル）に高電位が印加され、全て或いは一部のメモリセルの制御ゲート及び選択ゲートが0Vとされる。これにより、全て或いは一部のメモリセルにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

【0007】データ読出しは、セレクトトランジスタ及び読出しすべきメモリセル（読出しセル）よりビット線側の読出しすべきでないメモリセル（非読出しセル）がオンとされ、読出しセルのゲートに0Vが与えられる。このとき、ビット線に流れる電流を読むことにより、“0”、“1”の判別がなされる。

【0008】このように従来のNANDセル型EEPROMでは、データ書込みモードにおいて、書込みを行わないビット線には中間電位VMbilを印加する。このビット線中間電位VMbil及び選択ゲートに印加するVMGは、誤書込みを防止するため、一般に電源電圧（Vcc）よりも高い電圧（通常10～12V）を印加しなければならない。このため、次のような問題を招いた。

【0009】即ち、VMbil、VMGは電源電圧よりも高いため、メモリチップ内部で昇圧した電位（通常10V～12V）を用いなければならない、ビット線及び選択ゲートを所定の電位にする時間が長くなり、書き込みに要する時間が長くなる。また、昇圧回路の面積のため、チップ面積が大きくなり、昇圧回路が動作することで消費電力も大きくなるという問題がある。さらに、VMbil、

VMGが高いために、例えばビット線間の耐圧を十分確保するのに十分な距離を必要とするため、ビット線間の距離が縮められず高集積化の妨げになる。同じように、ロウデコーダやカラムデコーダ部分でも高い電圧を転送するため、十分な素子分離能力、耐圧が必要となり、高集積化の妨げとなっている。

【0010】上記の問題を解決するために次のような動作方法も考案されていた（従来例2）。これを図3を参照して説明する。図3は、二つのビット線BL1、BL2につながる隣接する二つのNANDセル部を示した等価回路図であり、各部の電圧記号をも定義している。

【0011】まず、データ消去は、NANDセルを構成するメモリセルについて消去がなされる。そのためこの実施例では、NANDセル内の消去するメモリセルの制御ゲートCG1～CG4が0Vとされ、ソース線、基板及びp型ウェルに昇圧された高電位 V_{pp}' （例えば18V）が与えられる。ビット線BL1、BL2にも高電位 V_{pp}' が与えられる。

【0012】これにより、メモリセルの制御ゲートとp型ウェル間に電界がかかり、浮遊ゲートからp型ウェルにトンネル電流により電子が放出される。全てのメモリセルはこれによりしきい値が負方向に移動して“0”状態になる。

【0013】次に、データ書込みは、NANDセル内のソース線側のメモリセル、即ちビット線から遠い方のメモリセルから順に行われる。ここでメモリセルM4（図7の破線で囲んだセルA）に選択的に“1”データ書込みを行う場合を説明する。セレクトトランジスタS2の選択ゲートSG2が0Vとされ、制御ゲートCG4に高電位 V_{pp} （例えば16～18V）が印加され、残りの制御ゲートCG1～CG3及び選択ゲートSG1には電圧VMGが印加される。また、選択ビット線BL1には0Vが与えられ、非選択ビット線BL2には電源電位Vccが与えられる。p型ウェルは0V、n型基板はVccとする。

【0014】ここで、選択ゲートSG1に印加する電圧VMGは、従来の高電圧 V_{pp} と電源電圧Vccとの中間の電圧よりも低いものであり、例えば電源電圧Vcc（5V）と同じとする。また、データ書込みは10msec以下の短い時間、例えば100 μ secで行う。

【0015】これにより、選択されたセルAにおいては、ビット線BL1の0Vがドレインまで伝達されて制御ゲートとの間に高電界がかかり、浮遊ゲートに電子が注入される。この結果、セルAではしきい値が正方向に移動して、“1”書き込みがなされる。

【0016】ビット線BL1につながる他のメモリセルM1～M3では弱い書込みモードになるが、その電界は小さく、しきい値変化はない。非選択（又は“0”書込み）のビット線BL2側のメモリセルM5～M7では、制御ゲートがVcc、チャンネル電位が（Vcc-Vth）であ

り、その電位差は1～3Vであって、やはりしきい値変化はない。ただし V_{th} はメモリセルのしきい値である。

【0017】ビット線BL2側のメモリセルM8は $V_{pp} - (V_{cc} - V_{th})$ の電圧が印加されるが、書き込み時間が10msec以下と短いため、チャネル部分が反転せず電圧はトンネル酸化膜にかからず基板に印加されて書き込みは起こらない。このため、ビット線BL2の電位、選択ゲートSG1の電位を、このような低い電位にしてもM8の誤書き込みが生じない。

【0018】このようにしてセルM4に対する書き込みが終了すると、次にNANDセル内の一つ上のメモリセルM3に対して同様に書き込みが行われ、順次メモリセルM2、M1と書き込みがなされる。

【0019】以上の書き込み動作において、メモリセルの制御ゲートには高電位 V_{pp} が印加されるが、流れる電流はトンネル電流のみであるので、高々1 μ A以下である。また、一括消去時はn型基板1とP型ウェル2を高電位 V_{pp}' に上げるが、このとき流れる電流は、トンネル電流と、0Vに保たれる周辺回路のp型ウェルとn型基板間のリーク電流であり、これも10 μ A以下である。従って、書き込み及び消去に用いられる高電位 V_{pp} 及び V_{pp}' （これらは同じ値でもよい）は、チップ内部に設けられた昇圧回路で十分賄うことができる。

【0020】また、選択書き込み時に高電位により流れる電流は上述のように微小であるから、一つの制御ゲート線（ワード線）につながる全てのメモリセルに同時にデータ書き込みが可能である。即ち、ページモードの書き込みができ、それだけ高速書き込みが可能である。

【0021】データ読出し動作は、図3のセルM4（セルA）について説明すれば、セレクトトランジスタS1の選択ゲートSG1に V_{cc} が与えられ、非選択メモリセルM1～M3の制御ゲートCG1～CG3には“1”状態のメモリセルがオンする程度の電位としてやはり V_{cc} があたえられ、読出しセルAの制御ゲートCG4は0Vにされる。そして、読出しセルAにつながるビット線BL1には1～5Vの読出し電位が与えられ、他の非選択ビット線BL2は0Vとされる。これにより、ビット線BL1に電流が流れるか否かによって、データ“0”、“1”の判別がなされる。

【0022】以上のデータ消去、書き込み及び読出し動作での各部の電位関係をまとめて、下記の（表1）に示した。図中従来例1とは前者の従来例であり、従来例2とは後者の従来例を指す。書き込み及び読出しは、図3のメモリセルM4（セルA）を選択する場合を示している。

【0023】

【表1】

	消 去	選択書き込み (M4)		読出し (M4)
		従来例1	従来例2	
BL1	V_{pp}'	0V	0V	1～5V
BL2	V_{pp}'	10V	5V	0V
ソース	V_{pp}'	0V	0V	0V
SG1	V_{pp}'	12V	V_{MG}	5V
CG1	0V(V_{pp}')	10V	V_{MG}	5V
CG2	0V(V_{pp}')	10V	V_{MG}	5V
CG3	0V(V_{pp}')	10V	V_{MG}	5V
CG4	0V(V_{pp}')	V_{pp}	V_{pp}	0V
SG2	V_{pp}'	0V	0V	5V
pウェル	V_{pp}'	0V	0V	0V
n基板	V_{pp}'	5V	5V	5V

() 内は非選択セル：消去しない部分

$$V_{MG} = V_{cc} = 5V$$

しかしながらこの書き込み方式（従来例2）では次のような問題があった。書き込み時非選択制御ゲートに V_{MG} （ $=V_{cc}$ ）を、選択制御ゲートに V_{pp} を印加したとき、メモリセルのチャネル部およびソース・ドレインの電圧が容量カップリングにより必要以上（例えば1.5V以上）に上昇し、選択ゲート電極とソース・ドレイン間での耐圧不良、また非選択セルの誤消去が発生していた。

【0024】この状況を図7を参照して説明する。図7は書き込み時における図3の各部の動作タイミングと電位関係を示したものであり、メモリセルM4が選択された場合である。図中VSDはソース・ドレイン領域の電圧を表しており、その数字のサフィクスにより場所が特定される（図3参照）。ビット線BL1が0Vとされ、ビット線BL2、選択ゲート線SG1、制御ゲート線CG1～CG3が V_{cc} とされたとき、選択トランジスタS3はオフとなり、ビット線BL2側のソース・ドレイン電圧VSDはいずれも V_{bit2}' となる。ここで、選択トランジスタS3のしきい値を V_{thSG} とすると、

$$V_{bit2}' = V_{cc} - V_{thSG}$$

である。その後、選択制御ゲート線CG4が V_{cc} より高電圧 V_{pp} に変化する。このとき非書き込みラインであるBL2にあり、選択制御ゲートCG4につながるM8のソース・ドレイン電圧VSD23、VSD24は V_{bit2}' から高電圧VSDHに変化する。ここでVSDHは V_{pp} によりチャネル部に誘起されソース・ドレイン領域に印加された高電圧である。このチャネル部およびソース・ドレイン電圧の上昇は、書き込み時に非選択セルのソース・ド

レイン間がオフのとき、選択セルのソース・ドレイン部で顕著となり、そのソース・ドレイン電圧は例えば 1.7 V 程度まで上昇する。この時隣接する非選択セルに高い電圧がかかり、上記の誤消去が生じることがあった。

【0025】また書き込み時チャンネル部およびソース・ドレインの電圧が上昇しない場合（例えば 3 V 程度）は、 V_{pp} を印加した非書き込みセルが誤書き込みされるという問題が生じる。

【0026】以上のようにチャンネル部、ソース・ドレイン部をフローティングにする書き込み方式では、チャンネル部、ソース・ドレイン電圧が規定の範囲を外れてしまうと誤書き込み等の問題を生じる。

【0027】

【発明が解決しようとする課題】以上のように、従来の NAND 型 EEPROM においては、書き込み時に誤書き込み防止するためのビット線に印加する V_{bit} 及び選択ゲート電圧 V_{MG} を比較的高い値にしなければならず、これが書き込み速度の遅れ、チップ面積の増大、消費電力の増大等を招く要因となっていた。

【0028】また非書き込みラインのメモリセルをフローティングにする書き込み方式ではチャンネルの電圧が規定の電圧から外れてしまうと、誤書き込みや、信頼性の低下等の問題が生じた。

【0029】本発明は、上記事情を考慮してなされたもので、その目的とするところは、書き込み時の誤書き込みを招くことなくビット線に印加する電圧及び選択ゲート電圧を低くすることができ、またチャンネル部、ソース・ドレイン部の規定の電圧になるように設定できるデータ書き込み方法を提供し、併せて高性能化、高集積化を可能とした NAND セル型の EEPROM を提供することにある。

【0030】

【課題を解決するための手段】本発明の骨子は、書き込み時に、非書き込みセルのソース・ドレイン拡散層がビット線電位と切り離されるように V_{bit} 及び V_{MG} を設定し、切り離されたソース・ドレイン部の電圧が規定の範囲内に設定できることにある。

【0031】即ち本発明の不揮発性半導体記憶装置のデータ書き込み方法は、半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な複数個のメモリセルを、隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続し、かつこの直列接続部のドレイン側、ソース側に選択ゲートを有するセレクトトランジスタを設けて NAND セルを構成し、この NAND セルをマトリックス配置し、ビット線、ワード線を配設してなるセルアレイを備えた不揮発性半導体記憶装置のデータ書き込み方法において、書き込みすべきメモリセルと同一の制御ゲートにつながった書き込みすべきでないメモリセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット

線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定し、書き込みすべきでないメモリセルのソース、ドレイン拡散層の電位 V_{SD} と、書き込みすべきでないメモリセルが書き込まれない最大の拡散層電位 V_{SDmax} と、書き込みすべきでないメモリセルのソース、ドレイン拡散層を共有しているメモリセルが、誤消去をおこす最小の拡散層電位 V_{SDmin} との関係、

$$V_{SDmax} < V_{SD} < V_{SDmin}$$

に設定したことを特徴とする。

【0032】また本発明のデータ書き込み方法はさらに、書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定し、書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層を共有する形で接続している隣接セルのしきい値を V_{thcell} としたとき、前記隣接セルのソース、ドレインが同電位になるよう制御ゲートに、前記しきい値 V_{thcell} よりも大なる電圧 V_M を印加することを特徴とする。

【0033】また本発明の不揮発性半導体記憶装置は、半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された電氣的書替え可能な複数個のメモリセルを、隣接するもの同士でソース、ドレイン拡散層を共用する形で直列接続し、かつこの直列接続部のドレイン側、ソース側に選択ゲートを有するセレクトトランジスタを設けて NAND セルを構成し、この NAND セルをマトリックス配置し、ビット線、ワード線を配設してなるセルアレイを備えた不揮発性半導体記憶装置において、データの書き込み時に、書き込みセルと同一の制御ゲートにつながった非書き込みセルのソース、ドレイン拡散層がビット線電位と電氣的に接続されないように、ビット線電圧 V_{bit} 、選択ゲート電圧 V_{MG} 及びセレクトトランジスタのしきい値 V_{thSG} の関係を、

$$V_{bit} > V_{MG} - V_{thSG}$$

に設定したとき、書き込みセルと同一の制御ゲートにつながった非書き込みセルの書き込み時のソース、ドレイン電圧を一定値以下に制御する制御手段を有することを特徴とする。

【0034】さらに本発明は上記設定、構成に加えて、データの書き込み時間を、ソース、ドレイン拡散層がビット線電位と電氣的に接続される書き込みセルではしきい値の変化が生じ、ソース、ドレイン拡散層がビット線電位と電氣的に接続されない非書き込みセルではしきい値の変化が生じない時間、具体的には 10 msec 以内に設定してなることを特徴とする。

【0035】また、本発明の望ましい実施態様としては、選択ゲート電圧を電源電圧にすること、データの消去時に1本の制御ゲート単位でブロック消去を行うことがあげられる。

【0036】

【作用】本発明によれば、データ書込み時において非選択ビット線に接続された非書込みセルの拡散層がフローティングの状態となり、誤書き込み、誤動作等が生じない電圧に保てるため、書込み時に非選択ビット線に印加するVbit及び選択ゲートに印加するVMGが低い電圧（Vcc以下）でも、誤書き込みは生じない。また誤消去および信頼性の低下も生じない。従って、Vbit、VMGを生成するための昇圧回路が不要となり、書込み速度の高速化、低消費電力化、チップの縮小化、メモリセル面積、デコーダ部面積の縮小化が可能になる。

【0037】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の一実施例に係わるNANDセル型EEPROMのNANDセルを示すレイアウトであり、図2(a)(b)はそれぞれ図1のA-A'及びB-B'断面図であり、図3はNANDセルアレイの等価回路である。

【0038】この実施例では、4個のメモリセルM1～M4と2個のセレクトトランジスタS1、S2を、それらのソース、ドレイン拡散層を隣接するもの同士で共用する形で直列接続してNANDセルが構成されている。このようなNANDセルがマトリクス配列されてセルアレイが構成されている。

【0039】直列接続されたメモリセルの一端側のドレインは選択ゲートSG1を有するセレクトトランジスタS1を介してビット線BL1に接続され、他端側のソースは選択ゲートSG2を有するセレクトトランジスタS2を介して接地線に接続されている。各メモリセルの制御ゲートCG1～CG4は、ビット線と交差して連続的に配設されてワード線となる。この実施例では4個のメモリセルでNANDセルを構成しているが、一般に2n個のメモリセルで一つのNANDセルを構成することができる。

【0040】具体的なメモリセル構造を図2により説明する。この実施例ではn型シリコン基板1を用いて、この基板1にp型ウェル2が形成され、このp型ウェル2にセルアレイが構成されている。後に説明するように周辺回路は、セルアレイ領域とは別に形成されたp型ウェルに形成される。

【0041】NANDセルとして、p型ウェル2にはLOCOS法によって素子分離酸化膜10が形成され、この素子分離酸化膜10で囲まれた素子領域に第1ゲート酸化膜3を介して浮遊ゲート4(4₁～4₄)が形成され、この上に第2ゲート酸化膜5を介して制御ゲート6(6₁～6₄)が形成されている。第1ゲート酸化膜3

は、5～20nmの熱酸化膜であり、第2ゲート酸化膜5は10～40nmの熱酸化膜或いはシリコン窒化膜、又はシリコン酸化膜とシリコン窒化膜の積層膜である。また、浮遊ゲート4は50～400nmの第1層多結晶シリコンにより形成され、制御ゲート6は100～400nmの第2層多結晶シリコンにより形成される。各メモリセルのソース、ドレインとなるn型拡散層9は隣接するもの同士で共用する形で4個のメモリセルが直列接続される。ゲート及び拡散層が形成された基板上は、CVD絶縁膜7で覆われ、この上にビット線8が配設される。

【0042】二つの選択ゲートSG1、SG2の部分は、ゲート酸化膜3'の膜厚が25～40nmとメモリセル部分のそれより厚く形成される。ゲート電極4₁、4₂は浮遊ゲート4と同じ第1層多結晶シリコン膜を用いて形成されている。そして、制御ゲート6と同じ第2層多結晶シリコン膜により形成された配線6₁、6₂がゲート電極4₁、4₂に重ねて形成され、所定間隔毎にスルーホールを介してゲート電極4₁、4₂に接続されている。

【0043】各メモリセルの浮遊ゲート4と制御ゲート6及びセレクトトランジスタの選択ゲート電極4₁、4₂と配線6₁、6₂は、ゲート長方向には同じエッチングマスクを用いて同時にパターンニングされている。そして、ソース、ドレイン拡散層となるn型層9は、これらのゲート電極及び配線をマスクとして砒素又はリンをイオン注入して形成されている。

【0044】メモリセルの浮遊ゲート4は、図2(a)に示すように素子領域からフィールド酸化膜10上に乗り上げる状態にパターン形成されており、これによりメモリセルの制御ゲート4と基板1間の容量C1は、浮遊ゲート4と制御ゲート6の間の容量C2に比べて小さく設定されている。具体的な数値例を上げて説明する。1μmルールに従って浮遊ゲート4及び制御ゲート6を幅1μm、チャネル長1μmとする。また、浮遊ゲート4はフィールド領域上に両側に1μmずつ延在させる。第1ゲート酸化膜3は10nm、第2ゲート酸化膜5は25nmとする。熱酸化膜の誘電率をεとすると、結合容量C1、C2はそれぞれ、

$$C1 = \epsilon / 0.01$$

$$C2 = 3\epsilon / 0.025$$

となる。

【0045】図3は、二つのビット線BL1、BL2につながる隣接する二つのNANDセル部の等価回路を示したものである。図4はその動作タイミングと各電位の関係を示したものであり、従来例の図7に対応するものである。これらを用いてEEPROMの動作を説明する。

【0046】まず、データ消去は、NANDセルを構成するメモリセルについて消去がなされる。そのためこの

11

実施例では、NANDセル内の消去するメモリセルの制御ゲートCG1～CG4が0Vとされ、ソース線、基板1及びp型ウェル2に昇圧された高電位Vpp'（例えば18V）が与えられる。ビット線BL1、BL2にも高電位Vpp'が与えられる。

【0047】これにより、メモリセルの制御ゲートとp型ウェル2間に電界がかかり、浮遊ゲート4からp型ウェル2にトンネル電流により電子が放出される。全てのメモリセルはこれによりしきい値が負方向に移動して“0”状態になる。

【0048】次に、データ書込みは、一般的にはNANDセル内のソース線側のメモリセル、即ちビット線から遠い方のメモリセルから順に行われる。あるいはソース線側ではなく、ビット線側から書き始めてもよい。ここではメモリセルM4（図3の破線で囲んだセルA）に選択的に“1”データ書込みを行う場合を図3、図4を参照して説明する。まず選択ビット線BL1には0Vが与えられ、非選択ビット線BL2には例えば電源電位Vccが与えられる。選択ゲートSG2とp型ウェルは0Vとされ、n型基板はVccとされる。選択ゲートSG1には電圧VMGが与えられるが、これは従来の高電圧Vppと電源電圧Vccとの中間の電圧よりも低いものであり、例えば電源電圧Vcc（5V）と同じとする。

【0049】制御ゲートCG1～CG4には、当初Vccが与えられ、この状態ではビット線BL1側のメモリセルはすべてオンとなり、ソース・ドレイン電圧VSD11～VSD14は0Vとなる。ビット線BL2側のソース・ドレイン電圧VSD21～VSD24はVbit2'となる。ここで、選択トランジスタS3のしきい値をVthSGとすると、 $V_{bit2'} = V_{cc} - V_{thSG}$

である。書き込み時にはCG1～CG4の入力電圧はVccから、本発明で規定するVM（例えば10V）に上昇され、ビット線BL2側に接続されているメモリセルもオン状態、即ちソースとドレインが同電位になる。そしてそのソース・ドレイン電圧VSD21～VSD24は、VMに誘起されてVM'に上昇する。

【0050】本発明のVMは次のように規定される。即ち、書き込みセルと同一制御ゲートライン（ワード線）につながった非書き込みセルが誤書き込みされないソース・ドレイン電圧の最小値をVSDmin、書き込み時の非選択セルのしきい値をVthcell、選択ビット線BL1につながった非選択セルM1～M3の誤書き込みが起らない最小制御ゲート電圧をVCG'とすると、 $V_{SDmin} < VM < V_{CG'}$ となる電圧である。

【0051】次に選択制御ゲート線CG4に高電位Vpp（例えば16～18V）されると、選択されたセルAにおいては、ビット線BL1の0Vがドレインまで伝達されて制御ゲートとの間に高電界がかかり、浮遊ゲートに電子が注入される。この結果、セルAではしきい値が正

12

方向に移動して、“1”書き込みがなされる。ここで、データ書込み時間は10msec以下の短い時間、例えば100μsecとした。

【0052】これによりビット線BL1につながる他のメモリセルM1～M3では弱い書込みモードになるが、その電界は小さく、しきい値変化はない。非選択（又は“0”書込み）のビット線BL2側のメモリセルM5～M7では、制御ゲートがVM（例えば10V）、チャネル電位が（VM - Vth）であり（ただしVthはメモリセルのしきい値）、その電位差は1～3Vであって、やはりしきい値変化はない。このVMにより前述のようにメモリセルM5～M7のソース・ドレインは導通状態になり、M8のソース・ドレインと同電位になる。このため図7の従来例に示したようなM5～M7がオフしているために生じるVSD23、VSD24のVSDHへの上昇は起らず、図4に示したVSDL（例えば10V程度）にとどまる。

【0053】ビット線BL2側のメモリセルM8はVpp - （VM - Vth）の電圧が印加されるが、書込み時間が10msec以下と短いため、チャネル部分が反転せず電圧はトンネル酸化膜にかからず基板に印加されて書き込みは起らない。ここで、本実施例ではビット線BL2の電位、選択ゲートSG1の電位を従来よりも低くしているが、このような低い電位でもM8の誤書き込みが生じない理由については後述する。

【0054】上記の書き込み時の設定をまとめると、書き込みすべきメモリセルと同一の制御ゲート線につながった書き込みすべきでないメモリセルのソース、ドレイン拡散層の電位VSDと、書き込みすべきでないメモリセルが書き込まれない最大の拡散層電位VSDmaxと、書き込みすべきでないメモリセルのソース、ドレイン拡散層を共有している隣接のメモリセルが、誤消去をおこす最小の拡散層電位VSDmin'との関係を、 $V_{SDmax} < V_{SD} < V_{SDmin'}$ となるように設定したことになる。

【0055】このようにしてセルM4に対する書き込みが終了すると、次にNANDセル内の一つ上のメモリセルM3に対して同様に書き込みが行われ、順次メモリセルM2、M1と書き込みがなされる。

【0056】以上の書き込み動作において、メモリセルの制御ゲートには高電位Vppとが印加されるが、流れる電流はトンネル電流のみであるので、高々1μA以下である。また、一括消去時はn型基板1とP型ウェル2を高電位Vpp'に上げるが、このとき流れる電流は、トンネル電流と、0Vに保たれる周辺回路のp型ウェルとn型基板間のリーク電流であり、これも10μA以下である。従って、書き込み及び消去に用いられる高電位Vpp及びVpp'（これらは同じ値でもよい）は、チップ内部に設けられた昇圧回路で十分賄うことができる。

【0057】また、選択書き込み時に高電位により流れる

電流は上述のように微小であるから、一つの制御ゲート線（ワード線）につながる全てのメモリセルに同時にデータ書込みが可能である。即ち、ページモードの書込みができ、それだけ高速書込みが可能である。

【0058】データ読出し動作は、図3のセルM4（セルA）について説明すれば、セレクトトランジスタS1の選択ゲートSG1にVccが与えられ、非選択メモリセルM1～M3の制御ゲートCG1～CG3には“1”状態のメモリセルがオンする程度の電位としてやはりVccがあたえられ、読出しセルAの制御ゲートCG4は0Vにされる。そして、読出しセルAにつながるビット線BL1には1～5Vの読出し電位が与えられ、他の非選択ビット線BL2は0Vとされる。

【0059】これにより、ビット線BL1に電流が流れるか否かによって、データ“0”、“1”の判別がなされる。

【0060】以上のデータ消去、書込み及び読出し動作での各部の電位関係をまとめて、下記の（表2）に示した。書込み及び読出しは、図3のメモリセルM4（セルA）を選択する場合を示している。

【0061】

【表2】

	消 去	選択書込み (M4) 本実施例	読出し (M4)
BL1	V _{pp} ˉ	0 V	1～5 V
BL2	V _{pp} ˉ	V _{cc}	0 V
ソース	V _{pp} ˉ	0 V	0 V
SG1	V _{pp} ˉ	V _{cc}	5 V
CG1	0 V (V _{pp} ˉ)	V _M	5 V
CG2	0 V (V _{pp} ˉ)	V _M	5 V
CG3	0 V (V _{pp} ˉ)	V _M	5 V
CG4	0 V (V _{pp} ˉ)	V _{pp}	0 V
SG2	V _{pp} ˉ	0 V	5 V
pウェル	V _{pp} ˉ	0 V	0 V
n基板	V _{pp} ˉ	V _{cc}	5 V

() 内は非選択セル：消去しない部分

またメモリセルのソース・ドレイン電圧を低電圧（10V程度以下）に保つ他の方法について述べる。図2

(b)に示した選択ゲート45と拡散層9のオーバーラップ部11でのサーフェイス耐圧あるいはメモリセル部でのオーバーラップ部12のサーフェイス耐圧、あるいは拡散層9とウェル2のジャンクション耐圧を10V程

度に設定しておく、ソース・ドレイン電圧はそれ以上になることはなく、低電圧に保つことができる。何故ならソース・ドレイン電圧が前記サーフェイス耐圧あるいはジャンクション耐圧のブレイクダウン電圧以上に上昇するとブレイクダウンを起こし、電圧が低下するためである。

【0062】またVSDの値はメモリセル各部の容量によって左右される。図5はこれを説明するための図で、

(a)はメモリセルを模式的に表した断面図に浮遊容量の存在箇所を示しており、(b)はそれを等価回路で表したものである。図において、2はp型ウェル、4は浮遊ゲート、6は制御ゲート、9はソース・ドレインを表している。またC_{ON0}は制御ゲート6と浮遊ゲート4の間の容量、C_{ox}は浮遊ゲート4とp型ウェル2表面に形成されたチャンネルとの間の容量、C_{ch}はチャンネル部とp型ウェル2の間の容量、C_jはソース・ドレイン9とp型ウェル2との間の容量（ジャンクション容量）をそれぞれ表す。またV_{CG}は制御ゲート電位、V_{FG}は浮遊ゲート電位、V_{SD}はソース・ドレイン電位をそれぞれ表す。

【0063】VSDはC_{ON0}、C_{ox}、C_j、C_{ch}の容量比に依存する。即ち書き込み時のVSDを下げたい場合にはC_{ON0}、C_{ox}を減少し、C_j、C_{ch}を上げればよい。例えばC_jを上げるためには、p型ウェル2の不純物濃度を例えばボロン(B)を 1×10^{17} atoms/cm³にして濃く設定すればよい。

【0064】また書き込み時のVSDを上昇させたいときには、C_{ON0}、C_{ox}を増やし、C_j、C_{ch}を減らせばよい。例えば制御ゲート6と浮遊ゲート間4および浮遊ゲート4とp型ウェル2間の絶縁膜厚を薄くするか、あるいはp型ウェルの不純物濃度を下げればよい。以上のように書き込み時の拡散層の電圧VSDは、各メモリセルのパラメータを適切に設定することで誤書き込みの生じない値に調整することができる。

【0065】次に、メモリセルM4（書込みセル）のデータ書込み動作においてメモリセルM8（非書込みセル）に誤書き込みが生じない理由について、図6を参照して説明する。

【0066】図6(a)はソース、ドレイン拡散層が接地され、制御ゲートに高電圧V_{pp}を印加した際のメモリセルのしきい値電圧変化を示している。しきい値電圧は、書込み開始直後から変化（正方向にシフト）している。図6(b)はソース、ドレイン拡散層をフローティングにした状態で、制御ゲートに高電圧V_{pp}を印加した際のメモリセルのしきい値電圧変化を示している。しきい値電圧は、書込み開始直後では殆ど変化せず、約10 msec経過後に大きく変化（正方向にシフト）している。

【0067】前述した書込みセルM4では、ビット線BL1が接地され、選択ゲートSG1及び制御ゲートCG1～CG3に5Vが印加されているため、M4のソース、ドレイン拡散層がビット線電位と電気的に接続さ

れ、接地された状態となる。このため、図 6 (a) に示すように 1 0 msec 以下の時間でもしきい値電圧の変化が生じ、書込みが行われる。なお、この書込みセル M4 に関しては、従来のように選択ゲート S G1 及び制御ゲート C G1 ~ C G3 に高電圧 (1 0 ~ 1 2 V) を印加しても、同様に書込みが行われる。

【 0 0 6 8 】非書き込みセル M8 においては、ビット線 B L2 の電位を選択ゲート S G1 の電位と等しい電圧 V_{cc} (5 V) としているため、非書き込みセル M8 のソース、ドレイン拡散層がビット線電位と電氣的に接続され、フローティングの状態となる。この場合、非書き込みセル M8 のゲートに電圧を印加しても反転層ができるまでに時間がかかり、図 6 (b) に示すように 1 0 msec 以下の時間ではしきい値電圧は殆ど変化せず、書込みは行われぬ。つまり、昇圧回路を用いることなくビット線 B L2 の電位及び選択ゲート S G1 の電位を V_{cc} と低くしても、非書き込みセル M8 への誤書込みを防止することができ、上記した問題を未然に解消することができることになる。

【 0 0 6 9 】なお、データの書込み時に、書込みセル M8 と同一の制御ゲート C G4 につながった非書き込みセル M8 のソース、ドレイン拡散層がビット線電位と電氣的に接続されないようにするために、ビット線 B L2 の電圧 V_{bit} 、選択ゲート S G1 の電圧 V_{MG} 及びセレクトトランジスタ S1 のしきい値 V_{thSG} の関係を、 $V_{bit} > V_{MG} - V_{thSG}$ とすればよい。

【 0 0 7 0 】また、前記 (表 2) に示すような電圧を用いると、図 3 の M1、M2、M3 の弱い書込みモードは従来の中間電位を印加していたときよりも弱くなり、従来 NAND 単位 (この実施例では C G1 ~ C G4) で行っていたブロック消去を 1 本の C G で行うことも可能となる。例えば、C G2 につながるメモリセルを消去する場合、制御ゲート C G2 を 0 V、他の制御ゲート C G1、C G3、C G4、選択ゲート S G1、S G2、ビット線 B L1、B L2、p 型ウェル等を高電圧 ($V_{pp'}$) とすればよい。これにより、消去の単位をブロック (4 本の C G) から 1 / 4 にすることも可能となる。

【 0 0 7 1 】なお、本発明は上述した実施例に限定されるものではない。実施例では、浮遊ゲートと制御ゲートを持つ FET MOS 型メモリセルを用いたが、MNOS 型メモリセルを用いた場合も同様に本発明を適用するこ

とができる。

【 0 0 7 2 】

【発明の効果】以上説述べたように本発明によれば、書込み時の非選択ビット線の電位及び選択ゲートの電位を外部電源電位として、非書き込みセルのソース、ドレイン拡散層をビット線電位と切り離し、切り離されたソース・ドレイン部の電圧が規定の範囲内に安定して設定できるので、誤書き込みや誤消去、耐圧劣化による信頼性低下等を防止することができ、電源の低電圧化に伴い NAND セル型 EEPROM の高集積化を併せて実現することができる。

【図面の簡単な説明】

【図 1】本発明の実施例に係わる EEPROM の NAND セル構造を示す平面図、

【図 2】図 1 の NAND セル A - A' 及び B - B' 断面図、

【図 3】図 1 の NAND セルの等価回路図、

【図 4】本発明のデータ書き込み時の動作タイミングと各部電圧との関係を示した図。

【図 5】メモリセル部の浮遊容量の存在箇所と等価回路を示した図。

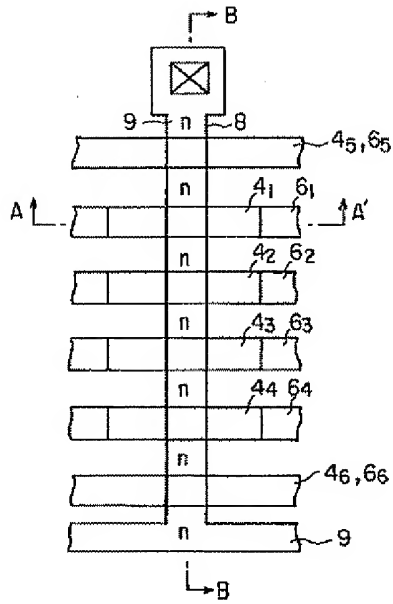
【図 6】書込み時間に対するしきい値電圧の変化を示す特性図。

【図 7】従来例 2 におけるデータ書き込み時の動作タイミングと各部電圧との関係を示した図。

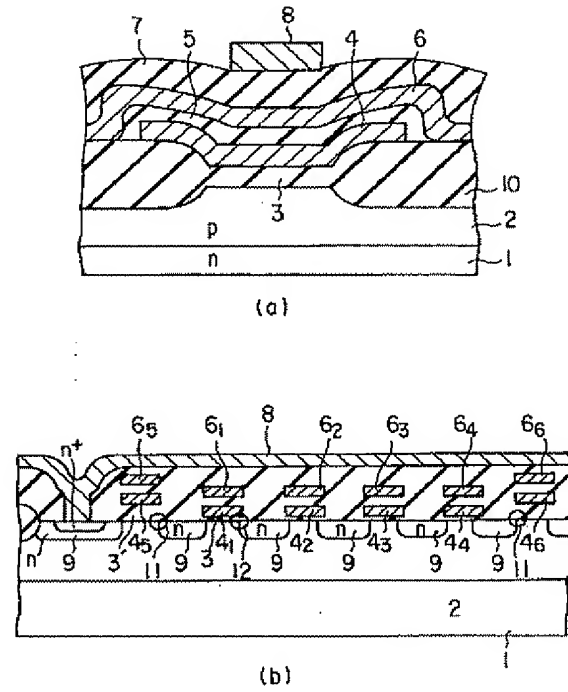
【符号の説明】

- 1 … n 型シリコン基板、
- 2 … p 型ウェル、
- 3 … 第 1 ゲート酸化膜、
- 4 … 浮遊ゲート、
- 5 … 第 2 ゲート酸化膜、
- 6 … 制御ゲート、
- 7 … CVD 絶縁膜、
- 8 … ビット線、
- 9 … n 型拡散層、
- M1 ~ M4、M5 ~ M8 … メモリセル、
- S1、S2 … セレクトトランジスタ、
- S G1、S G2 … 選択ゲート、
- B L1、B L2 … ビット線、
- C G1 ~ C G4 … 制御ゲート。

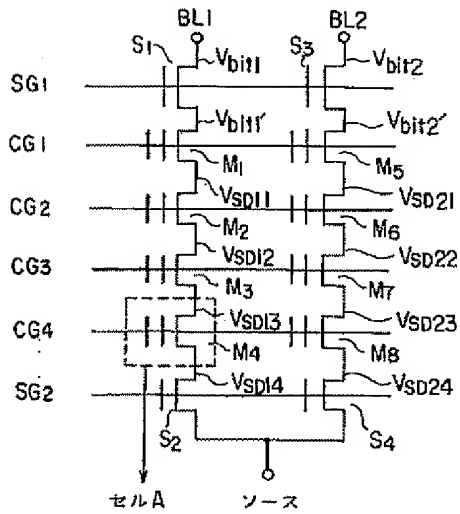
【図 1】



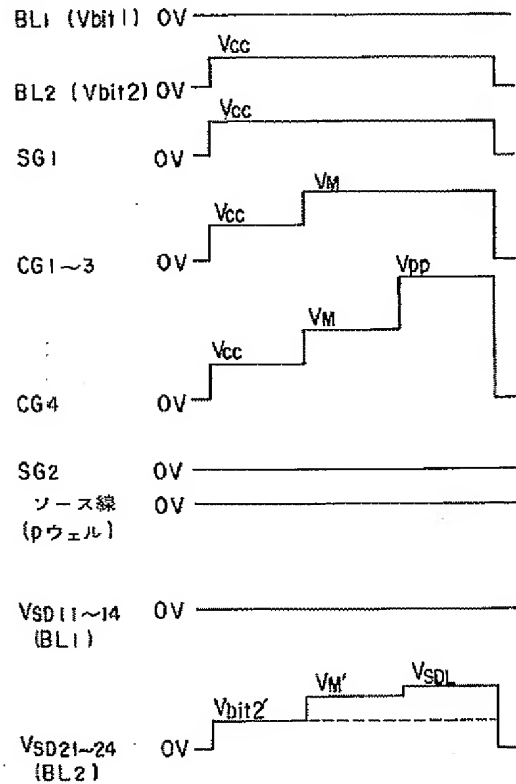
【図 2】



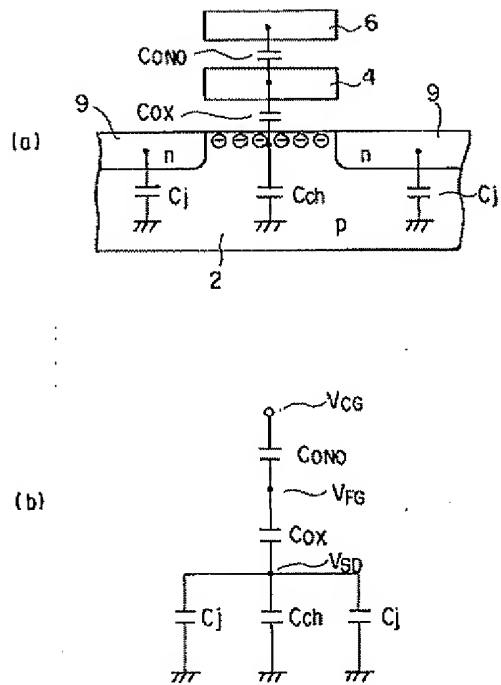
【図 3】



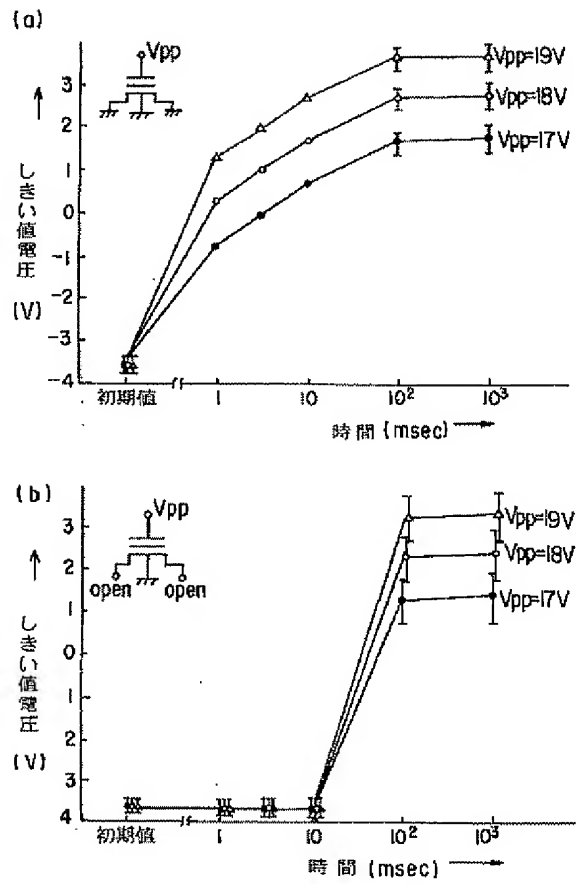
【図 4】



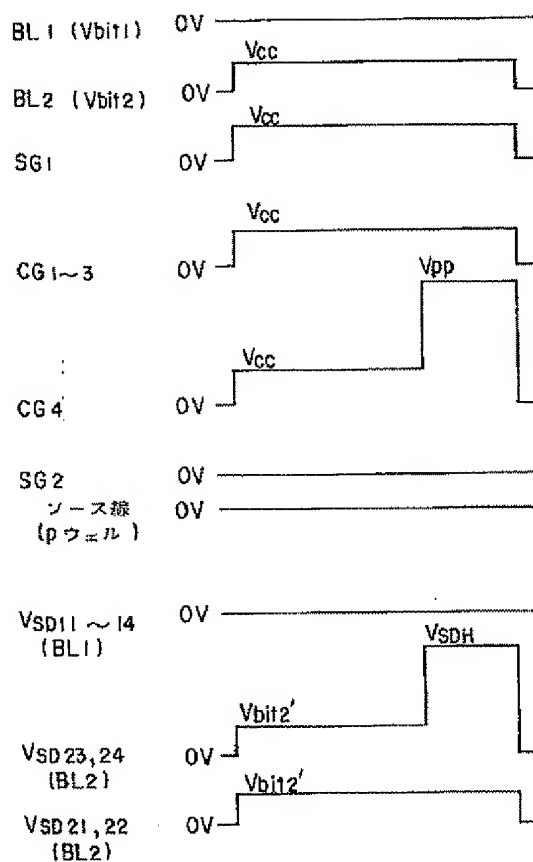
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
H 0 1 L 21/8247				
29/788				
29/792				
			G 1 1 C 17/00	5 1 0 A
			H 0 1 L 29/78	3 7 1
(72) 発明者 田中 智晴			(72) 発明者 白田 理一郎	
神奈川県川崎市幸区小向東芝町 1 番地 株			神奈川県川崎市幸区小向東芝町 1 番地 株	
式会社東芝研究開発センター内			式会社東芝研究開発センター内	